

PAT-NO: JP404236480A  
DOCUMENT-IDENTIFIER: JP 04236480 A  
TITLE: SOLDERLESS MOUNTING CONNECTION  
STRUCTURE OF SEMICONDUCTOR PACKAGE, AND SAID  
SEMICONDUCTOR PACKAGE  
PUBN-DATE: August 25, 1992

INVENTOR- INFORMATION:  
NAME  
USUDA, HIDENORI

ASSIGNEE- INFORMATION:  
NAME COUNTRY  
SEIKO EPSON CORP N/A

APPL-NO: JP03005073

APPL-DATE: January 21, 1991

INT-CL (IPC): H05K001/18, H01L023/50

ABSTRACT:

PURPOSE: To eliminate a soldering step for applying a thermal stress to a semiconductor package and to obviate a soldering malfunction, a semiconductor element malfunction by using the package having a connector structure in a mounting connection of a semiconductor to a printed circuit board.

CONSTITUTION: Gold-plated leads 2 are connected to a semiconductor chip 3 by gold bonding wires 4, and the entirety is packaged by a molding material 5 to form a semiconductor package P. A male connector structure

1 is provided at the molded end of the leads 2, and connected to a female connector on a printed circuit board 10. In this case, the package can be mounted on the board 10 without heating by using a through hole female connector 11 or a surface mounting female connector 12. Accordingly, application of a thermal stress to the chip and the package is eliminated, and reliability after they are mounted to be connected to the board is not lost. A soldering malfunction can also be prevented.

COPYRIGHT: (C)1992, JPO&Japio

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-236480

(43) 公開日 平成4年(1992)8月25日

(51) Int.Cl.<sup>5</sup>

H 05 K 1/18

H 01 L 23/50

識別記号

庁内整理番号

A 6736-4E

R 8418-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2(全3頁)

(21) 出願番号

特願平3-5073

(22) 出願日

平成3年(1991)1月21日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 白田秀範

長野県諏訪市大和3丁目3番5号セイコー  
エプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

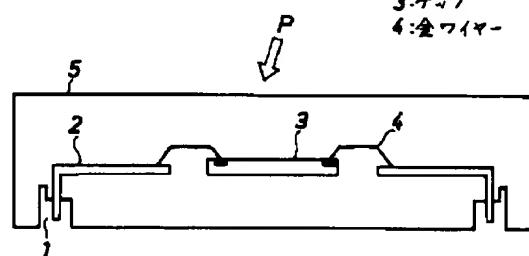
(54) 【発明の名称】 半導体パッケージのソルダレス実装接合構造及びその半導体パッケージ

(57) 【要約】

【目的】 半導体パッケージに熱ストレスを与える半田付け工程をなくし、半田付け不良、半導体素子不良をなくす。

【構成】 半導体パッケージにコネクタ構造を持たせ、プリント回路基板上のコネクタと接合させたことを特徴とする。

1:オフコネクタ構造  
2:金メッキリード  
3:チップ  
4:金ワイヤー



## 【特許請求の範囲】

【請求項1】 半導体パッケージにコネクタ構造を持たせ、プリント回路基板上のコネクタと接合させたことを特徴とする半導体パッケージのソルダレス実装結合構造。

【請求項2】 プリント回路基板上のコネクタと接合するコネクタ構造を有することを特徴とする半導体パッケージ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体パッケージとプリント回路基板とのソルダレス実装接合構造、及びその半導体パッケージに関する。

## 【0002】

【従来の技術】 従来の半導体パッケージとプリント回路基板との実装接合構造は、フラットIC、TAB、COB実装のようにプリント回路基板上へ、半導体のリード端子を載せて半田付け、或は、PGA実装のように基板のスルーホールを利用した半田付け、という各種加熱方式で、半導体を半田付けする接合構造であった。

## 【0003】

【発明が解決しようとする課題】 しかし前述の従来技術では、半導体の多ピン化、リード端子のファインピッチ化に伴い、半田ブリッジ、リード浮きによる接触不良等の半田付け不良が多発、半導体パッケージへの熱ストレス印加による、パッケージ割れ、半導体ピッチの破壊等の不良発生、という問題があった。そこで、本発明はこの様な問題点を解決するもので、その目的とするところは、半導体とプリント回路基板との実装接合において、コネクタ構造を有する半導体パッケージを用いることにより、半導体パッケージに熱ストレスを与える半田付け工程をなくし、半田付け不良、半導体素子不良の撲滅を可能とするものである。

## 【0004】

【課題を解決するための手段】 本発明の半導体パッケージのソルダレス実装接合構造は、半導体パッケージにコネクタ構造を持たせプリント回路基板上のコネクタと接合させたことを特徴とする。

## 【0005】

【作用】 本発明は、コネクタ構造を有するパッケージを用いて、プリント回路基板上に実装されたコネクタと接合させることにより、半導体への加熱工程となる半田付けをなくし、チップ自体、及びパッケージングの信頼性を損なうことなく、ファインピッチ半導体パッケージの半田付け不良の発生をなくすことができる。

## 【0006】

【実施例】 以下、本発明の実施例について詳細に説明する。

【0007】 図1は、多ピン構造を有する半導体パッケージの簡略化断面図である。1はオスコネクタ構造、2は金メッキリード、3は半導体チップである。金メッキリード2と半導体チップ3とは金ワイヤボンディング4で接続されており、全体をモールド材5で、パッケージングすることにより半導体パッケージPが構成されている。金メッキリード2の先端部のモールドにオスコネクタ構造を持たせ、プリント回路基板上のメスコネクタ(図3参照)と接合させる。

【0008】 ここで、オスコネクタの構造、形状は、種々で考えられる。例えば、図2のQuad Flatコネクタ図のように、1～N列のリードを並べ角の1つへ、誤挿入防止部6を設けておくことにより、方向を間違える誤差を防ぎながら、多ピン化に対応できる。

【0009】 一方、プリント回路基板10上には、図3のように、スルーホールメスコネクタ11、或は表面実装メスコネクタ12を用いることにより、半導体パッケージを加熱することなく、実装できる。従って、半導体チップとパッケージへの熱ストレスの印加をなくし、プリント回路基板との実装接合後の、信頼性を損なうことがない。又、半田付け工程をなくすことにより、半田付け不良の発生をなくすことができる。

## 【0010】

【発明の効果】 本発明は、半導体パッケージにコネクタ構造を持たせるという、簡単な構造によって、半田付け工程をなくし、半導体チップ、及びパッケージを熱ストレスからの解放をすることができ、またファインピッチ多ピンリードの半田付け不良を撲滅することができるという効果を有する。

## 【図面の簡単な説明】

【図1】 本発明のコネクタ構造を有する半導体パッケージの簡略化断面図。

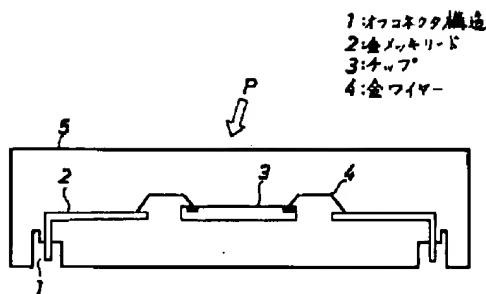
【図2】 Quad Flatオスコネクタを有するパッケージの2つの例を同時に示す平面図。

【図3】 プリント回路基板上のスルーホールメスコネクタ、表面実装メスコネクタを示す断面図。

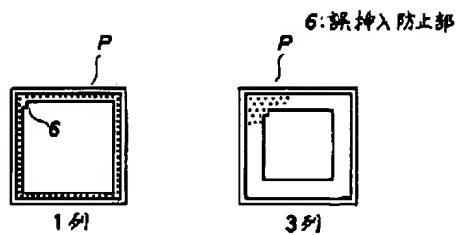
## 【符号の説明】

1	オスコネクタ部
2	金メッキリード部
3	半導体チップ
4	金ワイヤー
5	モールド
6	誤挿入防止部

【図1】



【図2】



【図3】

